

PAT-NO: JP02000112816A
DOCUMENT-IDENTIFIER: JP 2000112816 A
TITLE: SEMICONDUCTOR STORAGE
PUBN-DATE: April 21, 2000

INVENTOR-INFORMATION:

NAME **COUNTRY**
TAMAOKI, SATOSHI N/A

ASSIGNEE-INFORMATION:

NAME **COUNTRY**
NEC CORP N/A

APPL-NO: JP10278328
APPL-DATE: September 30, 1998

INT-CL (IPC): G06F012/02 , G11C011/407

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the transfer efficiency of a data signal to a data signal line group by adjusting the latency of plural semiconductor storage devices.

SOLUTION: A command clock signal line 701 and a command address signal line group 702 are respectively connected to a command clock output terminal and a command address output terminal of a memory controller 7 and a data clock signal line 705 and a data signal line group 703 also are respectively connected to a data clock input terminal and a data I/O terminal of the controller 7. To these signal line groups 701-703 and 705, plural semiconductor storage devices 1 are connected in series. When the signal transmission delay time of respective signal lines 701-703 and 705 exceeds the frequency of a command clock signal and/or a data clock signal to be inputted/outputted to/from the controller 7, the latency of these storage devices 1 is controlled.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-112816

(P2000-112816A)

(43) 公開日 平成12年4月21日 (2000.4.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 6 F 12/02	5 9 0	G 0 6 F 12/02	5 9 0 A 5 B 0 2 4
G 1 1 C 11/407		G 1 1 C 11/34	3 6 2 S 5 B 0 6 0

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平10-278328

(22) 出願日 平成10年9月30日 (1998.9.30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 玉置 智

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100075306

弁理士 菅野 中

Fターム (参考) 5B024 AA15 BA21 CA16

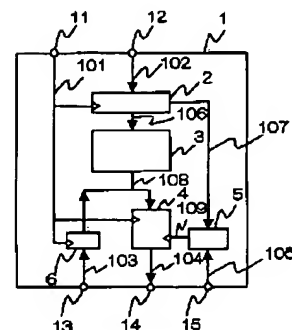
5B060 AB13 AC07 CC01

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 複数の半導体記憶装置のレイテンシ (latency) を調整することによって、データ信号線群へのデータ信号転送効率を向上させる。

【解決手段】 メモリコントローラ7のコマンドクロック出力端子にコマンドクロック信号線701を、コマンドアドレス出力端子にコマンドアドレス信号線群702をそれぞれ接続し、データクロック入力端子にデータクロック信号線705を、データ入出力端子にデータ信号線群703をそれぞれ接続して、これらの信号線群701~705に半導体記憶装置1を直列に接続している。半導体記憶装置1は、各信号線701~705の信号伝送遅延時間がメモリコントローラ7に入出力するコマンドクロック信号及びデータクロック信号の周波数を超える場合にレイテンシを調整制御する。



- 1 半導体記憶装置
- 2 コマンドデコーダ
- 3 DRAMメモリ
- 4 FIFOメモリ
- 5 レイテンシ制御回路
- 6 データラッチ回路
- 7 メモリコントローラ
- 8 OLL回路
- 11 コマンドクロック入力端子
- 12 コマンドアドレス入力端子群
- 13 データ入力端子群
- 14 データ出力端子群
- 15 データクロック入力端子
- 101 内部コマンドクロック信号線
- 102 内部コマンドアドレス信号線群
- 103 内部データ入力信号線群
- 104 内部データ出力信号線群
- 105 内部データクロック信号線
- 106 DRAM制御信号線群
- 107 レイテンシ制御信号線
- 108 データ入出力信号線群
- 109 出力クロック信号線

【特許請求の範囲】

【請求項1】 メモリコントローラのコマンドクロック出力端子にコマンドクロック信号線を、コマンドアドレス出力端子にコマンドアドレス信号線群をそれぞれ接続し、データクロック入力端子にデータクロック信号線を、データ入出力端子にデータ信号線群をそれぞれ接続して、これらの信号線群に複数の半導体記憶装置を直列に接続したメモリ装置において、

前記半導体記憶装置は、前記各信号線の信号伝送遅延時間が前記メモリコントローラに入出力するコマンドクロック信号及びデータクロック信号の周波数を超える場合にレイテンシを調整制御する手段を有するものであることを特徴とする半導体記憶装置。

【請求項2】 前記レイテンシ調整制御手段は、前記メモリコントローラからの前記半導体記憶装置の距離に応じて、前記メモリコントローラのデータ入力端子上での各半導体記憶装置のレイテンシを調整するものであることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記レイテンシ調整制御手段は、前記メモリコントローラからのコマンドクロック信号とコマンドアドレス信号とに基づいてデコードされたレイテンシ制御信号と、前記データクロック信号線からのデータクロック信号とを入力として、半導体記憶装置のメモリコントローラに対する距離に応じたレイテンシの調整制御用の出力クロック信号をデータ出力手段に出力するものであることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記レイテンシ調整制御手段は、前記メモリコントローラからのコマンドクロック信号とコマンドアドレス信号とに基づいてデコードされたレイテンシ制御信号と、前記データクロック信号線からのデータクロック信号に基づいて出力されるDLL信号とを入力として、半導体記憶装置のメモリコントローラに対する距離に応じたレイテンシの調整制御用の出力クロック信号をデータ出力手段に出力するものであることを特徴とする請求項2に記載の半導体記憶装置。

【請求項5】 前記データ出力手段は、前記DLL出力信号のクロックエッジにあわせてデータ信号を出力するものであることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 前記データ出力手段は、クロック同期式のFIFOメモリであることを特徴とする請求項3、4又は5に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関するものである。

【0002】

【従来の技術】

【0003】メモリ装置には図2に示すように、メモリ

コントローラ7のコマンドクロック出力端子にコマンドクロック信号線701を、コマンドアドレス出力端子にコマンドアドレス信号線群702をそれぞれ接続し、メモリコントローラ7のデータクロック入力端子にデータクロック信号線705を、データ入出力端子にデータ信号線群703をそれぞれ接続し、これらの信号線群に複数の半導体記憶装置1を直列に接続した構成のものがある。

【0004】図2に示すメモリ装置に用いる従来の半導体記憶装置1は図4に示すように、コマンドクロック入力端子11に接続された内部コマンドクロック信号線101と、アドレスコマンド入力端子群12に接続した内部コマンドアドレス信号線群102と、信号群101及び102からの信号を入力として、DRAMコントロール信号線群106及びレイテンシ(latency)制御信号線107に信号を出力するコマンドデコード2と、DRAMコントロール信号線群106からの信号を入力として、データ入出力信号線群108を介して信号を入出力するDRAMメモリ3と、データ入力端子群13に接続した内部データ入力信号線103からの信号を入力として、データ入出力信号線群108にデータ信号を出力するデータラッチ回路6と、データクロック入力端子15に接続した内部データクロック信号線105からの信号を入力として、DLL出力信号をFIFOメモリ4に出力するDLL回路8と、DLL出力信号801及びデータ入出力信号108を入力として、DLL出力信号801のクロックエッジにあわせてデータ信号をデータ出力端子群14に内部データ出力信号線群104を介して出力するFIFOメモリ4とから構成されている。

【0005】図4に示す従来の半導体記憶装置の動作例を図6に示している。図6に示す動作波形は、図4に示す半導体記憶装置1のレイテンシ(latency)を"3"に設定した場合である。図6における動作波形は、データ入出力信号線群108、コマンドクロック信号線701、コマンドアドレス信号線群702、データ信号線群703、データクロック信号線705、DLL出力信号801のそれぞれメモリコントロール端、近端メモリ端、遠端メモリ端での波形を示している。

【0006】

【発明が解決しようとする課題】図6から明らかなように、メモリコントローラ7の近傍の半導体記憶装置1において、メモリコントローラ端では、コマンドアドレス信号線群702からのリードコマンドがデータクロック信号線705にリードデータとして出力するまでのレイテンシは"4"であるが、メモリコントローラ7の遠端の半導体記憶装置1においては、レイテンシは"5"である。

【0007】このことは、メモリコントローラ7の近端と遠端との半導体記憶装置1を交互に動作すると、図6

に示すように、データクロック信号線705に出力される信号にブランクが生じて、データ信号の転送効率が低いという問題がある。

【0008】また、図4に示す従来例の半導体記憶装置を用いてデータ転送効率を向上するには、メモリコントローラ7からの距離に応じてリードコマンドを送信するタイミングを前後させる必要が生じてしまい、メモリコントローラ回路が複雑になるという問題がある。

【0009】また、特開平8-194603号公報に開示された半導体記憶装置においては、クロック同期式のFIFOメモリのように、データの転送効率を向上したメモリ装置は、データの書き込み順序と読み出し順序とに制限が生じてしまい、ランダムアクセスメモリには、適用できないという問題がある。

【0010】本発明の目的は、複数の半導体記憶装置のレイテンシ(latency)を調整することによって、データ信号線群へのデータ信号転送効率を向上する半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体記憶装置は、メモリコントローラのコマンドクロック出力端子にコマンドクロック信号線を、コマンドアドレス出力端子にコマンドアドレス信号線群をそれぞれ接続し、データクロック入力端子にデータクロック信号線を、データ入出力端子にデータ信号線群をそれぞれ接続して、これらの信号線群に複数の半導体記憶装置を直列に接続したメモリ装置において、前記半導体記憶装置は、前記各信号線の信号伝送遅延時間が前記メモリコントローラに入出力するコマンドクロック信号及びデータクロック信号の周波数を超える場合にレイテンシを調整制御する手段を有するものである。

【0012】また、前記レイテンシ調整制御手段は、前記メモリコントローラからの前記半導体記憶装置の距離に応じて、前記メモリコントローラのデータ入力端子での各半導体記憶装置のレイテンシを調整するものである。

【0013】また、前記レイテンシ調整制御手段は、前記メモリコントローラからのコマンドクロック信号とコマンドアドレス信号とに基づいてデコードされたレイテンシ制御信号と、前記データクロック信号線からのデータクロック信号とを入力として、半導体記憶装置のメモリコントローラに対する距離に応じたレイテンシの調整制御用の出力クロック信号をデータ出力手段に出力するものである。

【0014】また、前記レイテンシ調整制御手段は、前記メモリコントローラからのコマンドクロック信号とコマンドアドレス信号とに基づいてデコードされたレイテンシ制御信号と、前記データクロック信号線からのデータクロック信号に基づいて出力されるDLL信号とを入力として、半導体記憶装置のメモリコントローラに対す

る距離に応じたレイテンシの調整制御用の出力クロック信号をデータ出力手段に出力するものである。

【0015】また、前記データ出力手段は、前記DLL出力信号のクロックエッジにあわせてデータ信号を出力するものである。

【0016】前記データ出力手段は、クロック同期式のFIFOメモリである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0018】(実施形態1)図1は、本発明の実施形態1に係る半導体記憶装置を示す構成図、図2は、本発明の実施形態1に係る半導体記憶装置を信号線群に直列に複数接続したメモリ装置を示す構成図である。

【0019】図2に示すように、本発明の実施形態1に係る半導体記憶装置を信号線群に直列に複数接続したメモリ装置は、メモリコントローラ7のコマンドクロック出力端子にコマンドクロック信号線701を、コマンドアドレス出力端子にコマンドアドレス信号線群702をそれぞれ接続し、メモリコントローラ7のデータクロック入力端子にデータクロック信号線705を、データ入出力端子にデータ信号線群703をそれぞれ接続し、これらの信号線群に複数の半導体記憶装置1を直列に接続して構成されている。

【0020】図2に示すメモリ装置に用いる本発明に係る半導体記憶装置1は基本的構成として、メモリコントローラ7のコマンドクロック出力端子にコマンドクロック信号線701を、コマンドアドレス出力端子にコマンドアドレス信号線群702をそれぞれ接続し、データクロック入力端子にデータクロック信号線705を、データ入出力端子にデータ信号線群703をそれぞれ接続して、これらの信号線群701~705に直列に接続して用いるものであり、半導体記憶装置1は、各信号線701~705の信号伝送遅延時間がメモリコントローラ7に入出力するコマンドクロック信号及びデータクロック信号の周波数を超える場合にレイテンシを調整制御する手段(レイテンシ調整制御回路5)を有するものである。

【0021】レイテンシ調整制御手段5は、メモリコントローラ7からの半導体記憶装置1の距離に応じて、メモリコントローラ7のデータ入力端子での各半導体記憶装置1のレイテンシを調整するようになっている。

【0022】また、本発明におけるレイテンシ調整制御手段5は、2通りの構成になっている。

【0023】第1のレイテンシ調整制御手段5の構成は、メモリコントローラ7からのコマンドクロック信号とコマンドアドレス信号とに基づいてデコードされたレイテンシ制御信号と、データクロック信号線705からのデータクロック信号とを入力として、半導体記憶装置1のメモリコントローラ7に対する距離に応じたレイテ

ンシの調整制御用の出力クロック信号をデータ出力手段(FIFOメモリ4)に出力するようになっている。

【0024】また、第2のレイテンシ調整制御手段5の構成は、メモリコントローラ7からのコマンドクロック信号とコマンドアドレス信号とに基づいてデコードされたレイテンシ制御信号と、データクロック信号線705からのデータクロック信号に基づいて出力されるDLL信号801とを入力として、半導体記憶装置1のメモリコントローラ7に対する距離に応じたレイテンシの調整制御用の出力クロック信号をデータ出力手段(FIFOメモリ4)に出力するようになっている。

【0025】本発明のデータ出力手段は、クロック同期式のFIFOメモリを用いており、第2のレイテンシ調整制御手段5の構成におけるデータ出力手段としてのFIFOメモリ4は、DLL出力信号801のクロックエッジにあわせてデータ信号を出力するようになっている。

【0026】次に、本発明の具体例を実施形態1として説明する。

【0027】図2に示すメモリ装置に用いる本発明に係る半導体記憶装置1は図1に示すように、入出力端子として、コマンドクロック入力端子11とコマンドアドレス入力端子群12とデータ入力端子群13とデータ出力端子群14とデータクロック入力端子15を備えており、さらに、コマンドデコーダ2と、DRAMメモリ3と、データラッチ回路6と、レイテンシ制御回路5と、FIFOメモリ4とを有している。

【0028】コマンドデコーダ2は、コマンド入力端子11に接続した内部コマンドクロック信号線101からのコマンドクロック信号と、コマンドアドレス入力端子群12に接続した内部コマンドアドレス信号線群102からのコマンドアドレス信号とを入力として、DRAMコントロール信号線群106とレイテンシ制御信号線107とに信号を出力するようになっている。

【0029】DRAMメモリ3は、DRAMコントロール信号線群106からのコントロール信号を入力として、データ入力信号線群108との間にデータの入出力を行なうようになっている。

【0030】レイテンシ制御回路5は、データクロック入力端子15に接続した内部データクロック信号線105からのデータクロック信号と、レイテンシ制御信号線107からのレイテンシ信号とを入力として、出力クロック信号線109にデータ制御信号を出力するようになっている。

【0031】FIFOメモリ4は、出力クロック信号線109からのデータ制御信号と、データ入出力信号線群108からのデータ信号と、内部コマンドクロック信号線群101からのコマンドクロック信号とを入力として、調整されたレイテンシの下にデータ信号をデータ出力端子群14に接続した内部データ出力信号線群104

に出力するようになっている。

【0032】データラッチ回路6は、データ入力端子群13に接続した内部データ入力信号線群103からのデータ信号と、内部コマンドクロック信号線101からのコマンドクロック信号とを入力として、内部データ入出力信号線108にデータ信号を出力するようになっている。

【0033】図1に示す本発明の実施形態1に係る半導体記憶装置の動作例を図5に示している。

【0034】図5における動作波形は、データ入出力信号線群108、コマンドクロック信号線701、コマンドアドレス信号線群702、データ信号線群703、データクロック信号線705の信号、及びDLL出力信号801のそれぞれメモリコントロール際、メモリコントロールの近端、メモリコントロールの遠端での波形を示している。ここでコマンドクロック信号705はメモリコントローラ装置からメモリ装置遠端へ、データクロック信号はメモリ装置遠端からメモリコントローラ装置へ伝送する同一周期のクロック信号である。t1、t2はコマンドクロック信号701の各メモリ装置入力端での遅延時間を示しており、t3、t4はデータクロック信号705のメモリ端、及びメモリコントロール装置端での遅延時間を示している。また、t5は遠端メモリ装置の入力端でのコマンドクロック信号701とデータクロック信号705との時間差を示している。したがって、近端のメモリ装置1へのリードアクセスの際にメモリコントローラ端子上でのコマンドからリードデータ返送までの時間は、

$$tdN = t1 + (\text{レイテンシ}) + t6 + t1 \\ = (\text{レイテンシ}) + t1 + t1 + t6$$

ただし t6は $(2 \times t2 - 2 \times t1 + t5)$ を周期Tで割ったあまり同様に遠端メモリ装置1へのリードアクセスの場合、

$$tdF = t2 + (\text{レイテンシ}) + t5 + t2 \\ = (\text{レイテンシ}) + t2 + t2 + t5$$

である。

【0035】図1に示すメモリ装置に用いる本発明の実施形態に係る半導体記憶装置1のコマンドクロック入力端子11には、コマンドクロック信号がメモリコントローラ7からコマンドクロック信号線701を介して入力し、そのコマンドクロック信号は、内部コマンドクロック信号線101を介してコマンドデコーダ2に入力する。

【0036】一方、半導体記憶装置1のコマンドクロック入力端子群12には、コマンドアドレス信号がメモリコントローラ7からコマンドアドレス信号線群702を介して入力し、そのコマンドアドレス信号は、内部コマンドアドレス信号線群102を介してコマンドデコーダ2に入力する。

【0037】コマンドデコーダ2は、内部コマンドクロ

ック信号線101からのコマンドクロック信号と、内部コマンドアドレス信号線群102からのコマンドアドレス信号とを入力として、DRAMコントロール信号及びレイテンシ(latency)制御信号をそれぞれ発生し、DRAMコントロール信号をDRAMコントロール信号線群106に、レイテンシ(latency)制御信号をレイテンシ(latency)制御信号線107にそれぞれ出力する。

【0038】また、半導体記憶装置1のデータ入力端子13には、データ信号線群703からデータが入力し、このデータは内部データ入力信号線群103を通してデータラッチ回路6に入力する。

【0039】データラッチ回路6は、内部コマンドクロック信号線101からのコマンドクロック信号に基づいて、内部データ入力信号線群103からのデータをラッチし、データラッチ回路6は、データラッチ解除後に内部データ入出力信号線108にデータ信号を出力する。

【0040】DRAMメモリ3は、内部データ入出力信号線108からのデータ信号を記憶し、DRAMコントロール信号106に基づいて、記憶していたデータ信号をFIFOメモリ4に出力する。

【0041】ここで、従来例では図4に示すように、データクロック入力端子15に接続した内部データクロック信号線105からの信号に基づいてDLL回路8にてDLL出力信号801を出力しており、FIFOメモリ4は、DLL出力信号801のクロックエッジにあわせて、内部データ入出力信号線108からのデータ信号をデータ出力端子群14に出力させている。

【0042】しかしながら、図4に示す従来例では、個々に半導体記憶装置1からデータ信号の入出力を制御するのみであり、半導体記憶装置1のメモリコントローラ7からの距離に拘らず、メモリコントローラ7のデータ入力端子上でのレイテンシの調整が行なわれておらず、上述したようにデータ信号の転送効率が低いという問題がある。

【0043】そこで、本発明の実施形態では、複数の半導体記憶装置1のメモリコントローラ7に対する距離に拘らず、複数の半導体記憶装置1のレイテンシが揃うように、レイテンシ制御回路5により、複数の半導体記憶装置1のメモリコントローラ7に対する距離に応じてレイテンシの調整制御を行ない、データ信号の転送効率を向上させることを特徴とするものである。

【0044】本発明の実施形態では、メモリコントローラ7に対する距離が異なって接続された各半導体記憶装置1のレイテンシ制御回路5は、内部データクロック信号線105からのデータクロック信号と、レイテンシ制御信号線107からのレイテンシ制御信号とを入力として、半導体記憶装置1のメモリコントローラ7に対する距離に応じたレイテンシの調整制御を各半導体記憶装置1毎に行ない、出力クロック信号線109にデータ制御

信号を出力する。

【0045】本発明の実施形態におけるFIFOメモリ4は、出力クロック信号線109からのデータ制御信号と内部コマンドクロック信号線群101からのコマンドクロック信号とに基づいて、データ入出力信号線群108からのデータ信号をデータ出力端子群14に出力する。

【0046】したがって、本発明の実施形態1では、各半導体記憶装置1のメモリコントロール7に対する距離に応じて、各半導体記憶装置1のFIFOメモリ4からのデータ信号は、調整されたレイテンシの下に出力することとなる。

【0047】すなわち、図1に示す本発明の実施形態1に係る半導体記憶装置1では、内部コマンドアドレス信号線群102からのコマンドアドレス信号に基づいて設定されたレイテンシ(latency)をもつレイテンシ制御信号(レイテンシ制御信号107で供給される)に基づいて、各レイテンシ制御回路5は、メモリコントローラ7の近傍の半導体記憶装置1のレイテンシを例えば"4"に設定し、遠端の半導体記憶装置1のレイテンシを例えば"3"に設定するデータ制御信号をFIFOPメモリ4にそれぞれ出力し、各FIFOPメモリ4は、レイテンシ制御回路5によって調整制御されたレイテンシの下に、データ信号を出力することとなる。

【0048】そこで、遠端のメモリ装置1をレイテンシ=N1に設定した場合のリードデータの返送にかかる時間は先に示したように、

$$tdF = (N1) + t2 + t2 + t5$$

である。第5図はたとえばN1=3Tの場合でメモリコントローラ端で4T<tdF<5Tであり、メモリコントローラ7の入力端子上でレイテンシ=5であることを示している。一方、近端メモリ装置に対しては、

$$tdN = (N2) + t1 + t1 + t6$$

であり、この値が遠端部と同様に、4T<tdN<5Tとなるように近端のメモリ装置1のレイテンシN2を決めることでメモリコントローラ入力端子上でのレイテンシを5にそろえる事ができる。つまり、(2xt2-2xt1+t5)を周期Tで割った商(整数部分)を遠端のメモリ装置1のレイテンシに加えた値を近端メモリ装置のレイテンシとすることで、近端のメモリ装置と遠端のメモリ装置のレイテンシをメモリコントローラ入力端子上でそろえる事が可能となる。また、第2図で示すように、複数のメモリ装置に対しても近端のメモリ装置のレイテンシ調整方法と同様に遠端のメモリ装置との時間差からレイテンシが決定できる。したがって本発明の実施形態では、メモリコントローラ7に対する半導体記憶装置1の距離に拘らず、複数の半導体記憶装置1のレイテンシは、例えば"5"に調整され、平均化される。

【0049】本発明の実施形態では、半導体記憶装置1に対してメモリコントローラ端に対してレイテンシが揃

うように、複数の半導体記憶装置1のレイテンシを調整することにより、データクロック信号線群705のデータ信号転送効率を簡単なメモリコントローラ回路で向上することができる。

【0050】(実施形態2)図3は、本発明の実施形態2に係る半導体記憶装置を示す構成図である。

【0051】図3に示す本発明の実施形態2では、内部データクロック信号105からのデータクロック信号を入力として、DLL出力信号801を出力するDLL回路8を有し、DLL回路8からのDLL出力信号801をレイテンシ制御回路5に出力するようにしたものである。

【0052】図3に示す本発明の実施形態2によれば、レイテンシ調整回路5にDLL回路8からのDLL出力信号801を入力することにより、FIFOメモリ4から出力するデータ信号の位相を調整することができるという利点がある。

【0053】

【発明の効果】以上のように本発明によれば、メモリコントローラに対する半導体記憶装置の距離が異なる場合に、そのレイテンシが揃うように、複数の半導体記憶装置のレイテンシを調整することにより、データ出力信号線群へデータ信号転送効率を簡単なメモリコントローラ回路で向上することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係る半導体記憶装置を示す構成図である。

【図2】信号線群に複数の半導体記憶装置を直列に接続したメモリ装置を示す構成図である。

【図3】本発明の実施形態2に係る半導体記憶装置を示す構成図である。

【図4】図2に示されるメモリ装置に用いる従来例の半導体記憶装置を示す構成図である。

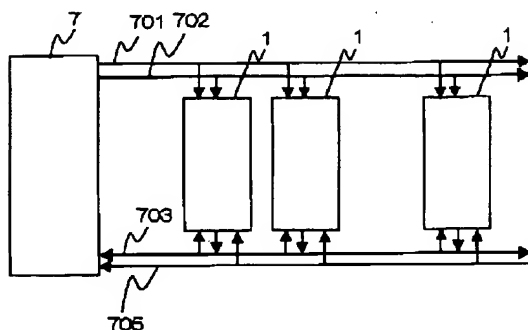
【図5】図2に示されるメモリ装置に用いる本発明の実施形態1に係る半導体記憶装置の動作波形である。

【図6】図2に示されるメモリ装置に用いる従来の実施形態1に係る半導体記憶装置の動作波形である。

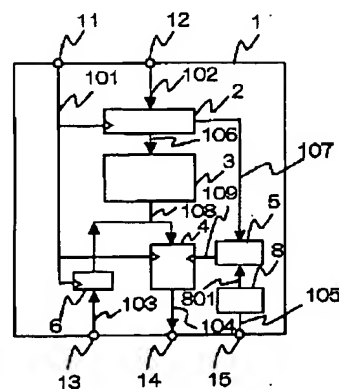
【符号の説明】

- 1 半導体記憶装置
- 2 コマンドデコーダ
- 3 DRAMメモリ
- 4 FIFOメモリ
- 5 レイテンシ制御回路
- 6 データラッチ回路
- 7 メモリコントローラ
- 8 DLL回路
- 11 コマンドクロック入力端子
- 12 コマンドアドレス入力端子群
- 13 データ入力端子群
- 14 データ出力端子群
- 15 データクロック入力端子
- 101 内部コマンドクロック信号線
- 102 内部コマンドアドレス信号線群
- 103 内部データ入力信号線群
- 104 内部データ出力信号線群
- 105 内部データクロック信号線
- 106 DRAMコントロール信号線群
- 107 レイテンシ制御信号線
- 108 データ入出力信号線群
- 109 出力クロック信号線
- 701 コマンドクロック
- 702 コマンドアドレス信号線群
- 703 データ信号線群
- 705 データクロック信号線
- 801 DLL出力信号

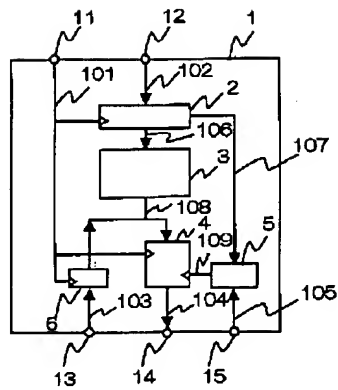
【図2】



【図3】

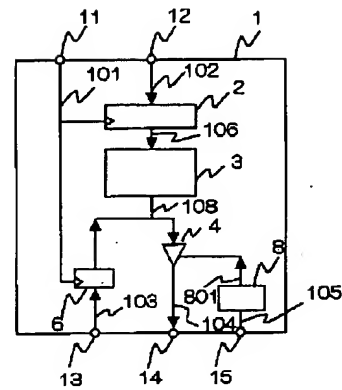


【図1】

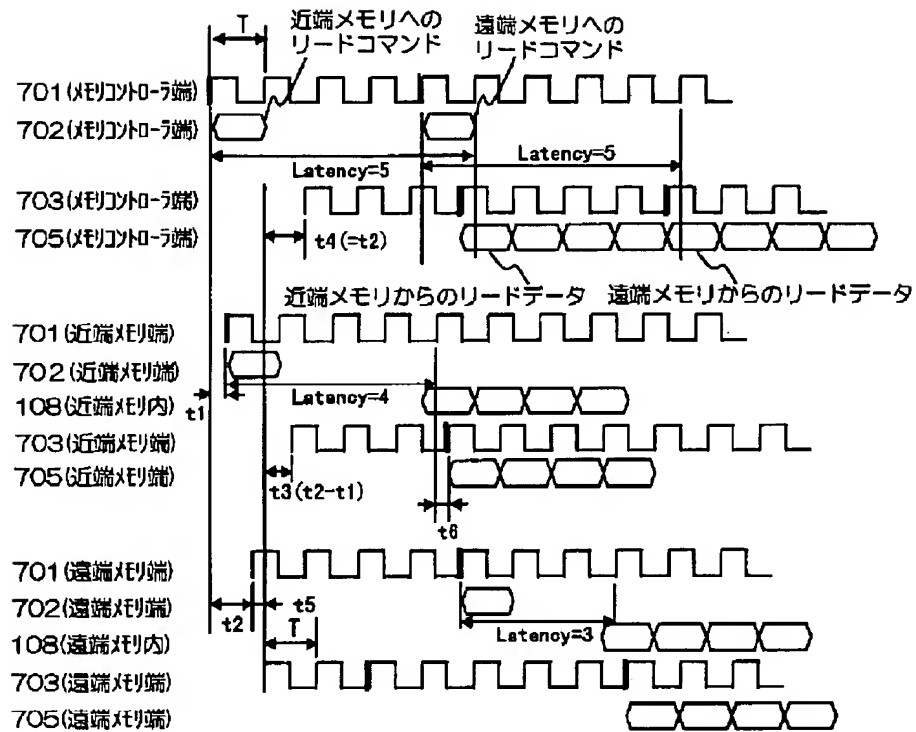


- 1 半導体記憶装置
- 2 コマンドデコーダ
- 3 DRAMメモリ
- 4 FIFOメモリ
- 5 レイテンシ制御回路
- 6 データラッチ回路
- 7 メモリコントローラ
- 8 DLL回路
- 11 コマンドクロック入力端子
- 12 コマンドアドレス入力端子群
- 13 データ入力端子群
- 14 データ出力端子群
- 15 データクロック入力端子
- 101 内部コマンドクロック信号線
- 102 内部コマンドアドレス信号線群
- 103 内部データ入力信号線群
- 104 内部データ出力信号線群
- 105 内部データクロック信号線
- 106 DRAMコントロール信号線群
- 107 レイテンシ制御信号線
- 108 データ入出力信号線群
- 109 出カクロック信号線

【図4】



【図5】



【図6】

